

Appl. No. : New Application  
Applicant : Tetsuya OKADA et al.  
Filed : Herewith  
TC/A.U. : To be assigned  
Examiner : To be assigned

Docket No. : 2905-106  
Customer No. : **6449**

Commissioner for Patents  
P.O. Box 1450  
Alexandria VA 22313-1450

**CLAIM TO PRIORITY**

Dear Sir:

Priority is claimed under 35 U.S.C. § 119 in this application to the following  
Japanese Application:

**Japanese Application No. 2002-285651 filed 30 September 2002**

A certified copy of the priority document is submitted herewith.

Respectfully submitted,

By



Stephen B. Parker  
Attorney for Applicants  
Registration No. 36,631  
ROTHWELL, FIGG, ERNST & MANBECK, p.c.  
Suite 800, 1425 K Street, N.W.  
Washington, D.C. 20005  
Telephone: (202)783-6040

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-285651

[ ST.10/C ]:

[ JP2002-285651 ]

出 願 人

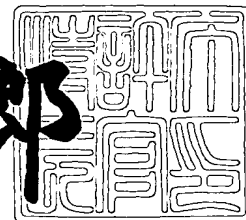
Applicant(s):

三洋電機株式会社

2003年 4月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030782

【書類名】 特許願

【整理番号】 KAA1020045

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/48

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 岡田 哲也

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 吉村 充弘

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話03-3837-7751 知的財産センター 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】            要約書    1

【包括委任状番号】    9904451

【プルーフの要否】    要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 一導電型半導体基板と、  
該基板上に設けられた一導電型エピタキシャル層と、  
前記エピタキシャル層に複数設けられた第 1 の逆導電型半導体領域と、  
前記複数の第 1 の逆導電型半導体領域を囲んで前記エピタキシャル層周囲に設けられた第 2 の逆導電型半導体領域と、  
前記エピタキシャル層および前記第 1 の逆導電型半導体領域表面とショットキー接合を形成する金属層とを具備することを特徴とする半導体装置。

【請求項 2】 前記第 1 の逆導電型半導体領域は、前記エピタキシャル層に設けたトレンチに逆導電型の半導体材料を埋設してなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の逆導電型半導体領域は、前記エピタキシャル層に逆導電型不純物を拡散した領域であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 互いに隣接する前記第 1 の逆導電型半導体領域は、逆方向の電圧印加時に前記第 1 の逆導電型半導体領域間のエピタキシャル層が空乏層で埋め尽くされる間隔で離間して配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 互いに隣接する前記第 1 の逆導電型半導体領域は、等間隔に離間して配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記第 1 の逆導電型半導体領域は、前記エピタキシャル層の厚みよりも浅く設けることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 前記第 2 の逆導電型半導体領域は、拡散領域であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】 前記第 2 の逆導電型半導体領域は、前記エピタキシャル層に設けた複数のトレンチに半導体材料を埋設して成ることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 一導電型半導体基板上に一導電型エピタキシャル層を積層する工程と、

前記エピタキシャル層に複数の第 1 の逆導電型半導体領域と該複数の第 1 の逆導電型半導体領域を囲む第 2 の逆導電型半導体領域とを形成する工程と、

前記エピタキシャル層および前記第 1 の逆導電型半導体領域表面とショットキー接合を形成する金属層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 10】 前記第 1 の逆導電型半導体領域は不純物をイオン注入し拡散して形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記第 1 の逆導電型半導体領域は前記エピタキシャル層にトレンチを形成し、逆導電型の半導体材料を埋設して形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 12】 前記第 2 の逆導電型半導体領域は前記エピタキシャル層に複数のトレンチを形成し、逆導電型の半導体材料を埋設して形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 13】 前記第 1 の逆導電型半導体領域および前記第 2 の逆導電型半導体領域とを同時に形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特にショットキーバリアダイオードの低 V F 低 I R 特性を向上する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

シリコン半導体基板と金属層とで形成されるショットキー接合は、その障壁により整流作用を有するため、ショットキーバリアダイオードとして一般的に良く知られた素子である。

## 【0003】

図8には、従来のショットキーバリアダイオードを示す。図8（A）は平面図であり、図8（B）は図8（A）のB-B線断面図である。

## 【0004】

N型半導体基板1にN型エピタキシャル層2を積層し、その表面とショットキー接合を形成するショットキー金属層6を設ける。この金属層は例えばTiである。更に金属層全面を覆ってアノード電極7となるAl層を設ける。半導体基板外周には耐圧を確保するためにP+型不純物を拡散した高濃度不純物領域4が設けられ、その一部がショットキー金属層6とコンタクトする。

## 【0005】

仕事関数の異なる金属と半導体基板とが接触するとフェルミ準位が一致するように両者のエネルギーバンド図が変化して両者の間にショットキー障壁が発生する。この障壁の高さ、すなわち仕事関数差（以下本明細書ではこの仕事関数差を $\phi_{Bn}$ と称する）は、ショットキーバリアダイオードの特性を決定する要因となる。また、この $\phi_{Bn}$ は金属に固有の値である。

## 【0006】

ショットキーバリアダイオードのN型シリコン側に負、金属層側に正の電圧を印加すると電流が流れ、このときの電圧が順方向電圧 $V_F$ である。一方その逆方向、すなわちN型シリコン側に正、金属層側に負の電圧を印加すると電流は流れない。この時の電圧を以降逆方向の電圧と称する。ショットキーバリアダイオードのショットキー金属層は、擬似的なP型領域と考えることができる。

## 【0007】

あるショットキーバリアダイオードについて考えた場合、 $\phi_{Bn}$ が大きくなると、ショットキーバリアダイオードの順方向電圧 $V_F$ が高くなり、逆に逆方向電圧時のリーク電流 $I_R$ は低減する。すなわち順方向電圧 $V_F$ とリーク電流 $I_R$ はトレードオフの関係にある。

## 【0008】

図9を用いて従来のショットキーバリアダイオードの製造方法を説明する。

## 【0009】

まず、N+型半導体基板1にN-型エピタキシャル層2を積層し、所定の耐圧を確保するために基板周囲にはP+型不純物を注入し拡散した高濃度不純物領域4を形成する(図9(A))。

## 【0010】

その後、例えばTi等のショットキー金属層6をエピタキシャル層2表面に蒸着して、シリサイド化のための熱処理を行う。これにより、エピタキシャル層と金属層とでショットキー接合を形成する。 $\phi Bn$ はショットキー金属層およびショットキー接合面積によって変化するため、チップサイズと所望の特性とを考慮してショットキー金属層を適宜選択する(図9(B))。

## 【0011】

更に、全面にアノード電極7となるA1層を形成し、裏面にはカソード電極8を形成して最終構造を得る(図9(C))。

## 【0012】

このように、従来のショットキーバリアダイオードにおいては、N-型エピタキシャル層のほぼ全面に、ショットキー金属層を蒸着させている。(例えば、特許文献1参照。)

## 【0013】

## 【特許文献1】

特公平6-224410号公報 (第2頁、第2図)

## 【0014】

## 【発明が解決しようとする課題】

ショットキーバリアダイオードの立ち上がり電圧となる順方向電圧 $V_F$ や逆方向電圧印加時のリーク電流 $I_R$ は、ショットキー金属層と半導体基板とのショットキー接合で得られる $\phi Bn$ により決定する。図10には、 $\phi Bn$ と $V_F$ 、 $I_R$ の関係を示す。図の如くこれらは $\phi Bn$ が高ければ $V_F$ は高くなり、 $I_R$ は下がるトレードオフの関係にある。

## 【0015】

また、 $\phi Bn$ が同じ場合、ショットキー接合面積により、 $V_F$ および $I_R$ の値が変動する。



## 【 0 0 1 6 】

このため、ショットキーバリアダイオードでは、 $V_F$ および $I_R$ 特性のトレードオフで所望の特性に近づくように、ショットキー接合面積、すなわちチップサイズによって $\phi B_n$ を選択している。

## 【 0 0 1 7 】

例えば、小信号用途ではチップサイズが小さいことから相対的に $I_R$ は小さくなるので、低 $V_F$ を優先して低い $\phi B_n$ を採用する。一方大信号用ではある程度のチップサイズが必要となるため、リーク電流 $I_R$ の影響が相対的に大きくなる。そのためリーク電流 $I_R$ の抑制を優先して高い $\phi B_n$ を採用している。

## 【 0 0 1 8 】

ここで、 $\phi B_n$ の値は金属に固有のものであり、この値を詳細なレンジで選択することはできない。また、 $V_F$ および $I_R$ の値を計算する上で、 $\phi B_n$ の変動は、 $V_F$ および $I_R$ の値を大きく変動させるものである。例えば小信号系では上記の理由により低い $\phi B_n$ を採用しているが、順方向電圧 $V_F$ は前述の如く装置の立ち上がり電圧であり、電源電圧を効率的に利用するためにも低い方が望ましい。この $V_F$ の低減を図りたい場合、 $\phi B_n$ の変更では特性の変動が大きすぎるため、接合面積を大きくすることで解決するのが一般的である。ところが接合面積の増大はチップサイズを大きくすることになるので、コストがかかる上、小型化を阻む大きな要因となる。

## 【 0 0 1 9 】

## 【課題を解決するための手段】

本発明は、かかる課題に鑑みてなされ、第1に、一導電型半導体基板と、基板上に設けられた一導電型エピタキシャル層と、エピタキシャル層に複数設けられた第1の逆導電型半導体領域と、複数の第1の逆導電型半導体領域を囲んでエピタキシャル層周囲に設けられた第2の逆導電型半導体領域と、エピタキシャル層および第1の逆導電型半導体領域表面とショットキー接合を形成する金属層とを具備することにより解決するものである。

## 【 0 0 2 0 】

また、第1の逆導電型半導体領域は、エピタキシャル層に設けたトレンチに逆

導電型の半導体材料を埋設してなることを特徴とするものである。

【 0 0 2 1 】

また、第 1 の逆導電型半導体領域は、エピタキシャル層に逆導電型不純物を拡散した領域であることを特徴とするものである。

【 0 0 2 2 】

また、互いに隣接する第 1 の逆導電型半導体領域は、逆方向の電圧印加時に第 1 の逆導電型半導体領域間のエピタキシャル層が空乏層で埋め尽くされる間隔で離間して配置されることを特徴とするものである。

【 0 0 2 3 】

また、互いに隣接する第 1 の逆導電型半導体領域は、等間隔に離間して配置されることを特徴とするものである。

【 0 0 2 4 】

また、第 1 の逆導電型半導体領域は、エピタキシャル層の厚みよりも浅く設けることを特徴とするものである。

【 0 0 2 5 】

また、第 2 の逆導電型半導体領域は、拡散領域であることを特徴とするものである。

【 0 0 2 6 】

また、第 2 の逆導電型半導体領域は、エピタキシャル層に設けた複数のトレンチに半導体材料を埋設して成ることを特徴とするものである。

【 0 0 2 7 】

第 2 に、一導電型半導体基板上に一導電型エピタキシャル層を積層する工程と

エピタキシャル層に複数の第 1 の逆導電型半導体領域と複数の第 1 の逆導電型半導体領域を囲む第 2 の逆導電型半導体領域とを形成する工程と、

エピタキシャル層および第 1 の逆導電型半導体領域表面とショットキー接合を形成する金属層を形成する工程とを具備することにより解決するものである。

【 0 0 2 8 】

また、第 1 の逆導電型半導体領域は不純物をイオン注入し拡散して形成するこ

とを特徴とするものである。

【 0 0 2 9 】

また、第 1 の逆導電型半導体領域はエピタキシャル層にトレンチを形成し、逆導電型の半導体材料を埋設して形成することを特徴とするものである。

【 0 0 3 0 】

また、第 2 の逆導電型半導体領域はエピタキシャル層に複数のトレンチを形成し、逆導電型の半導体材料を埋設して形成することを特徴とするものである。

【 0 0 3 1 】

また、第 1 の逆導電型半導体領域および第 2 の逆導電型半導体領域とを同時に形成することを特徴とするものである。

【 0 0 3 2 】

【発明の実施の形態】

本発明の実施の形態を図 1 から図 7 を用いて詳細に説明する。

【 0 0 3 3 】

図 1 には、本発明のショットキーバリアダイオードを示す。図 1 (A) は平面図であり、図 1 (B) は図 1 (A) の A-A 線の断面図、図 1 (C) は図 1 (B) の拡大図である。尚、図 1 (A) では基板表面のショットキー金属層およびアノード電極を省略している。

【 0 0 3 4 】

本発明のショットキーバリアダイオードは、一導電型半導体基板 1 と、一導電型エピタキシャル層 2 と、第 1 の逆導電型半導体領域 3 と、第 2 の逆導電型半導体領域 4 と、ショットキー金属層 6 とから構成される。尚、図 8 および図 9 に示す従来構造と同一構成要素は同一符号とする。

【 0 0 3 5 】

第 1 の逆導電型半導体領域 3 は、N+型半導体基板 1 上に N-型エピタキシャル層 2 を積層し、そのエピタキシャル層 2 に設けられた P+型の半導体領域である。エピタキシャル層 2 にトレンチ 3 a を設け、P+型不純物を含むポリシリコン 3 b を埋設し、熱処理により P+型不純物をトレンチ周囲に拡散して P+型半導体領域 3 とする。トレンチ 3 a は、例えば開口幅（対角線幅）1  $\mu$ m の正六角

形状を有し、それぞれ  $1\ \mu\text{m} \sim 10\ \mu\text{m}$  程度で離間されてエピタキシャル層 2 に多数個設けられる。後に詳述するが、互いに隣接する P + 型半導体領域 3 は等間隔で配置する必要からその形状は正六角形状が望ましい。

## 【 0 0 3 6 】

第 2 の逆導電型半導体領域 4 は、ショットキーバリアダイオードの逆方向電圧印加時の耐圧を確保するため、全ての P + 型半導体領域 3 外周を囲んで設けられた P + 型の高濃度不純物領域である。この高濃度不純物領域 4 は、その一部をショットキー金属層 6 とコンタクトさせる必要からマスクの合わせずれを考慮して  $20\ \mu\text{m}$  程度の幅で設けられる。P + 型半導体領域 3 と同じパターンのトレンチ 3 a をラインアンドスペースで複数本設け、P + 型ポリシリコン 3 b が埋設されたものである。ポリシリコン 3 b 埋設後の熱処理により不純物が拡散して一体化し、幅の広い高濃度不純物領域 4 となっている。また、この領域は従来同様 P + 型不純物をイオン注入および拡散して形成したものであっても良い。

## 【 0 0 3 7 】

この高濃度不純物領域 4 の内側に配置された P + 型半導体領域 3 の全てとエピタキシャル層 2 がショットキー接合領域となる。

## 【 0 0 3 8 】

ショットキー金属層 6 は、例えば Mo 等である。エピタキシャル層 2 およびすべての P + 型半導体領域 3 上に設けられ、ショットキー接合を形成する。このショットキー金属層 6 の上にアノード電極 7 として例えば Al 層等を設け、N + 型半導体基板 1 裏面には、カソード電極 8 を設ける。従来構造においては、最外周に設けた高濃度領域の内側（ショットキー接合領域）でショットキー金属層 6 がコンタクトするのはエピタキシャル層 2 のみであったが、本発明の構造においては、エピタキシャル層 2 および P + 型半導体領域 3 がショットキー金属層 6 とコンタクトする。

## 【 0 0 3 9 】

本発明の特徴は、エピタキシャル層 2 に等間隔で複数の P + 型半導体領域 3 を設けることにある。ショットキーバリアダイオードのショットキー金属層 6 は、擬似的な P 型領域と考えることができ、P + 型半導体領域 3 とコンタクトしてい

る。つまり、ショットキー金属層 6 および P + 型半導体領域 3 は連続した P 型領域と見なすことができる。

## 【 0 0 4 0 】

従って、ショットキーバリアダイオードの逆方向電圧印加時には、図 1 (C) の破線の如く、P + 型半導体領域 3 およびショットキー金属層 6 と、N - 型エピタキシャル層 2 との P N 接合により、P + 型半導体領域 3 間のエピタキシャル層に空乏層 1 0 が広がる。前述の如く、P + 型半導体領域 3 はそれぞれ均等な所定の間隔で離間されて配置されている。この所定の距離とは、逆方向電圧印加時に P + 型半導体領域 3 から広がる空乏層 1 0 により、エピタキシャル層 2 が埋め尽くされる範囲であり、本実施形態では  $1\ \mu\text{m} \sim 10\ \mu\text{m}$  程度とする。

## 【 0 0 4 1 】

本発明の構造では、逆方向電圧印加時には従来通りショットキー金属層 6 の種類に応じたリーク電流がエピタキシャル層 2 とショットキー金属層 6 との界面で発生する。しかし、逆方向電圧 ( $V_R$ ) がある程度になると、空乏層 1 0 がエピタキシャル層 2 を埋め尽くしてピンチオフし、界面で発生したリーク電流が遮断されカソード電極 8 側への漏れを防ぐことができるものである。すなわち、従来と同じ順方向電圧  $V_F$  を得られる特性を保持しつつ、逆方向電圧 ( $V_R$ ) が増加することによるリーク電流 ( $I_R$ ) の増加を抑制することができる。

## 【 0 0 4 2 】

ここで、P + 型半導体領域 3 は、ショットキーバリアダイオードの順方向電圧印加時には無効領域となる。ショットキーバリアダイオードはショットキー金属層 6 とエピタキシャル層 2 との接合面積が大きい方が順方向電圧 ( $V_F$ ) を低くできるので望ましいが、本発明の構造によると、そのショットキー接合面積が低減することになる。しかし、その問題はショットキー金属層を  $\phi_{Bn}$  のより低いものに変更することにより解決できる。 $\phi_{Bn}$  が低い金属層は、順方向電圧 ( $V_F$ ) を低くできる反面リーク電流 ( $I_R$ ) が高くなってしまいが、ショットキー接合の界面のリーク電流  $I_R$  が増加しても、空乏層 1 0 により遮断することができる。つまり、リーク電流  $I_R$  を考慮せずに所定の順方向電圧  $V_F$  が得られる  $\phi_{Bn}$  を有する金属層を採用することが可能となるからである。

## 【 0 0 4 3 】

すなわち、本発明の構造によれば、従来の大きな問題であった  $V_F$  と  $I_R$  のトレードオフの関係を無くし、 $V_F$  のみを考慮して商品を開発することが可能となるものである。

## 【 0 0 4 4 】

図 2 の特性図を参照し、更に詳細に説明する。図 2 (A) は逆方向電圧  $V_R$  および逆方向電圧印加時のリーク電流  $I_R$  の関係を示し、図 2 (B) には、順方向電圧 ( $V_F$ ) および順方向電流 ( $I_F$ ) の関係を示す。なお実線は本実施形態の構造による特性であり、点線は従来構造による特性である。また、図中 a は高い  $\phi B_n$  の金属層 (例えば Mo) を採用した場合であり、b は低い  $\phi B_n$  の金属層 (例えば Ti) を採用した場合である。

## 【 0 0 4 5 】

本発明の構造により、図 2 (A) の実線 a、b の如く、ショットキーバリアダイオードの特性を作りこむことができる。初期段階においては従来同様の特性であるが、逆方向電圧 ( $V_R$ ) を増加させると、空乏層 10 の広がりにより、 $V_R$  a および  $V_R$  b でピンチオフし、その後はリーク電流  $I_R$  の増加を抑制できる。

## 【 0 0 4 6 】

また、P+型半導体領域 3 を設けることでショットキー接合面積が低減するため、図 2 (B) の点線 a で示す従来と比較して、実線 a の本実施形態では、順方向電圧  $V_F$  が増加する。しかし、このような場合には、実線 b で示す低  $\phi B_n$  の金属層を採用することで解決できる。低  $\phi B_n$  の金属層を採用することで、高い  $\phi B_n$  を採用していた従来構造 (点線 a) よりも順方向電圧  $V_F$  を低減することができる (実線 b)。

## 【 0 0 4 7 】

図 2 (A) においては、本実施形態の構造で低  $\phi B_n$  の金属層を採用した場合が実線 b である。すなわち、逆方向電圧  $V_R$  b において、高  $\phi B_n$  金属層の従来構造 (点線 a) を逆転して、 $I_R$  を抑制することができる。

## 【 0 0 4 8 】

このように、本発明においては、ショットキー接合界面でリーク電流が発生し

ていても空乏層により遮断できる点が優れている。ショットキー接合領域界面でのリーク電流は避けられないが、カソード電極側へ漏れなければショットキーバリアダイオードとしてのリーク電流は抑制できる。つまり、従来と同じショットキー金属層を用いても、順方向電圧  $V_F$  が多少増加はするものの、逆方向電圧の増加によるリーク電流を抑制することができる。

## 【 0 0 4 9 】

また、例えば P + 型半導体領域 3 を設けることでショットキー接合面積が低減し順方向電圧  $V_F$  が増大するようであれば、低  $V_F$  の  $\phi_{Bn}$  を有する金属層を利用すれば良い。逆方向電圧時のリーク電流  $I_R$  はある電圧においてピンチオフにより増加がなくなり、高  $\phi_{Bn}$  金属層を用いた従来構造の特性を逆転できる。つまり  $V_F$  と  $I_R$  のトレードオフの関係をなくすことができるわけである。

## 【 0 0 5 0 】

ここで、P + 型半導体領域 3 の形状は、逆方向電圧印加時に空乏層 1 0 が均等に広がってエピタキシャル層 2 を埋め尽くせるよう、各々均等な離間距離で配置されることが必要であるので、正六角形状が最適である。尚、一箇所でも空乏層の広がり不足するところがあるとそこからカソード電極 8 側へ電流が漏れるので、全ての P + 型半導体領域 3 間において、逆方向電圧印加時に空乏層 1 0 の広がりによって埋め尽くされる距離が確保できるのであれば、P + 型半導体領域 3 の形状は正六角形状に限らない。

## 【 0 0 5 1 】

また、P + 型半導体領域 3 の離間距離がある程度確保できる場合は、正六角形状に開口されたマスクを用いてエピタキシャル層 2 に P + 型不純物をイオン注入して拡散した拡散領域でもよい。しかし、離間距離が狭い場合は不純物拡散領域では横方向への広がりが避けられないため、トレンチ 3 a にポリシリコン 3 b を埋設した P + 型半導体領域 3 を採用する方が好ましい。

## 【 0 0 5 2 】

次に、図 3 から図 7 を用いて本発明のショットキーバリアダイオードの製造方法を詳細に説明する。

## 【 0 0 5 3 】

本発明の製造方法は、一導電型半導体基板 1 上に一導電型エピタキシャル層 2 を積層する工程と、エピタキシャル層 2 に複数の第 1 の逆導電型半導体領域 3 と該第 1 の逆導電型半導体領域 3 を囲む第 2 の逆導電型半導体領域 4 とを形成する工程と、エピタキシャル層 2 および第 1 の逆導電型半導体領域 3 表面とショットキー接合を形成する金属層 6 を形成する工程とから構成される。

【 0 0 5 4 】

本発明の第 1 の工程は、図 3 の如く一導電型半導体基板 1 上に一導電型エピタキシャル層 2 を積層することにある。

【 0 0 5 5 】

N + 型半導体基板 1 に N - 型エピタキシャル層 2 を積層し、酸化膜（不図示）を全面に生成する。また、図示は省略するが基板の最外周は、酸化膜を開口して N + 型不純物をデポジション後拡散し、アニユラーリングを形成する。

【 0 0 5 6 】

本発明の第 2 の工程は、図 4 から図 6 に示す如く、エピタキシャル層 2 に複数の第 1 の逆導電型半導体領域 3 と複数の第 1 の逆導電型半導体領域の外周を囲む第 2 の逆導電型半導体領域 4 とを形成することにある。

【 0 0 5 7 】

本工程は、本発明の特徴となる工程であり、まず図 4 に第 1 の実施の形態を示す。

【 0 0 5 8 】

第 1 の実施の形態は、P + 型半導体領域 3 および高濃度不純物領域 4 を同時に形成するものである。

【 0 0 5 9 】

図 4（A）では、開口幅（対角線幅）1  $\mu$ m 程度の六角形状に開口したマスクを用いてエピタキシャル層 2 にトレンチ 3 a を形成する。このトレンチ 3 a は、多数の P + 型半導体領域 3 となり、また複数の P + 型半導体領域 3 の外周を囲む高濃度不純物領域 4 となる。P + 型半導体領域 3 は、逆方向電圧印加時に空乏層でエピタキシャル層 2 が完全に埋め尽くされる幅をもってそれぞれ均等に離間する。一方高濃度不純物領域 4 のためのトレンチ 3 a は、同じ六角形状のパター



ンを用いて例えば  $1\ \mu\text{m}$  のラインアンドスペースで複数配置する。

【 0 0 6 0 】

図 4 (B) では、全てのトレンチ 3 a に P + 型不純物が導入されたポリシリコン 3 b を埋設する。全面にノンドープのポリシリコンを堆積後、P + 型不純物を導入しても良いし、P + 型不純物が導入されたポリシリコンを堆積しても良い。その後、図 4 (C) の如く、全面をエッチバックしてトレンチ 3 a にポリシリコン 3 b を埋設し、エピタキシャル層 2 表面と、予定の P + 型半導体領域 3 および高濃度不純物領域 4 表面を露出する。

【 0 0 6 1 】

図 4 (D) では、熱処理により P + 型不純物を活性化し、P + 型半導体領域 3 を形成する。同時に外周では熱処理により近接した複数のトレンチから P + 型不純物が微量に拡散することで不純物領域が一体化し、 $20\ \mu\text{m}$  程度の幅の広い高濃度不純物領域 4 が形成される。高濃度不純物領域 4 もショットキー金属層とコンタクトする必要があるため、マスクの合わせずれを考慮してある程度の幅が必要となる。

【 0 0 6 2 】

また、図 5 には、P + 型不純物のイオン注入と拡散で形成する場合を示す。P + 型半導体領域 3 間が空乏層で完全に埋め尽くされる条件と、高濃度不純物領域 4 における合わせずれを考慮した所定の幅が確保できる条件とを兼ね備えれば P + 型半導体領域 3 および高濃度不純物領域 4 は、不純物をイオン注入した後拡散する拡散領域で同時に形成しても良い。

【 0 0 6 3 】

このように、本発明の製造方法によれば、P + 型半導体領域 3 を、ショットキーバリアダイオードの必要構成要素である高濃度不純物領域 4 と同時に形成できる。トレンチ 3 a にポリシリコン 3 b を埋設して形成する場合にはその工程が増えるが、チップサイズを変更することなく V F 特性をコントロールできるショットキーバリアダイオードを製造できる。つまり、従来と比較して低 V F のショットキーバリアダイオードをコストを増大させずに製造できる利点を有する。また、P + 型半導体領域 3 として不純物の拡散領域を採用するのであれば、従来工程

の高濃度不純物領域 4 形成のマスクを変更するだけで実施できる利点を有する。

【 0 0 6 4 】

次に図 6 を用いて本工程の第 2 の実施の形態を示す。

【 0 0 6 5 】

例えば、高耐圧のショットキーバリアダイオードにおいては、高濃度不純物領域 4 はトレンチ 3 a より十分深く形成することも有る。またその断面形状として曲率が大きいが好ましい。このような場合は、P+型半導体領域 3 と高濃度不純物領域 4 を別工程で形成すると良い。

【 0 0 6 6 】

その場合はまず図 6 (A) の如くショットキー接合領域外周に P+型不純物を注入後、拡散して高濃度不純物領域 4 を形成する。拡散領域であるので、断面形状でみると底部付近の曲率が緩和でき、この部分の電界集中を抑制できるので、高耐圧の機種には適切である。その後、図 6 (B) の如くエピタキシャル層 2 に、トレンチ 3 a を形成し、P+型ポリシリコン 3 b を埋設して P+型半導体領域 3 を形成する。あるいは、P+不純物を注入後、拡散により P+型半導体領域 3 を形成する。

【 0 0 6 7 】

このように、第 2 の実施の形態の場合は、第 1 の実施の形態に比べて工程は増えるが、高耐圧ショットキーバリアダイオードを実現することが出来る。

【 0 0 6 8 】

本発明の第 3 の工程は、図 7 に示す如く、エピタキシャル層 2 および第 1 の逆導電型半導体領域 3 表面とショットキー接合を形成する金属層 6 を形成することにある。

【 0 0 6 9 】

図 7 (A) の如く、拡散工程などにより、全面に付着した酸化膜 5 を除去し、ショットキー接合領域 9 部分すなわち、全ての P+型半導体領域 3 とエピタキシャル層 2 表面を露出する。また、高濃度不純物領域 4 もショットキー金属層 6 をコンタクトさせるため、その一部を露出させる。すなわち、高濃度不純物領域 4 の一部を含んで、高濃度不純物領域 4 の内側の酸化膜 5 をエッチングにより除去

し、ショットキー接合領域 9 を露出する。

#### 【0070】

更に、図 7 (B) の如くショットキー金属層 6 として例えば Mo を蒸着する。少なくともショットキー接合領域 9 を覆う所望の形状にパターニング後、シリサイド化のために 500～600℃ でアニール処理を行う。ここで、例えばショットキー接合領域 9 の P+型半導体領域 3 は、順方向バイアス時には無効領域となるため、ショットキー接合面積の低下による VF の増大がある場合には、Mo に変えて  $\phi B n$  の低い Ni、Cr、Ti 等を用いても良い。

#### 【0071】

その後図 7 (C) の如く、アノード電極 7 となる Al 層を全面に蒸着し、所望の形状にパターニングし、裏面には例えば Ti/Ni/Au 等のカソード電極 8 を形成し、図 1 に示す最終構造を得る。

#### 【0072】

##### 【発明の効果】

本発明の特徴は、エピタキシャル層 2 に等間隔で複数の P+型半導体領域 3 を設けることにある。これにより、第 1 に、従来と同程度の VF 特性を維持しつつ、逆方向電圧の増加に伴うリーク電流 IR の増加を抑制することができる。逆方向電圧印加時には、ショットキー金属層に応じたリーク電流がエピタキシャル層とショットキー金属層との界面で発生するが、本発明の構造によれば、エピタキシャル層を埋め尽くす空乏層によりこのリーク電流が遮断され、裏面電極側への漏れを防ぐことができるものである。

#### 【0073】

第 2 に、リーク電流 IR を考慮せずに低 VF の  $\phi B n$  を有するショットキー金属層を採用することができる。P+型半導体領域 3 は、ショットキーバリアダイオードの順方向電圧印加時には無効領域である。ショットキーバリアダイオードはショットキー金属層と、エピタキシャル層との接合面積が大きい方が、VF を低くできるので望ましいが、本発明の構造によると、そのショットキー接合面積が少なくなる。しかし、その問題もショットキー金属層を  $\phi B n$  のより低いものに変更することにより解決できる。 $\phi B n$  が低い金属層は、VF を低くできる反

面IRが高くなってしまいが、ショットキー接合の界面で発生する大きいリーク電流も空乏層により遮断できるため、リーク電流を考慮することなく所定のVFが得られる $\phi Bn$ を有する金属層を採用することが可能となるからである。

## 【0074】

このように、従来同様、ショットキー接合界面発生するリーク電流は避けられないが、本発明においては、PN接合によりエピタキシャル層に広がる空乏層によりピンチオフし、発生したリーク電流を遮断できる点が優れている。カソード電極側へ漏れることがなく、すなわちIRを考慮する必要がないので、従来の大きな問題であったVFとIRのトレードオフの関係が無くなり、VFのみを考慮して装置を設計することが可能となるものである。

## 【0075】

また、本発明の製造方法によれば、第1に、P+型半導体領域3を、ショットキーバリアダイオードの必要構成要素である高濃度不純物領域4と同時に形成できる。トレンチにポリシリコンを埋設する場合にはその工程が増えるが、チップサイズを変更することなくVF特性をコントロールできるショットキーバリアダイオードを製造できる。つまり、従来と比較して低VF、低IRのショットキーバリアダイオードをコストを増大させずに製造できる利点を有する。また、P+型半導体領域3として不純物の拡散領域を採用するのであれば、従来通りの工程でマスクの変更のみで実施できる利点を有する。

## 【0076】

また、第2に、高濃度不純物領域4を形成後に、P+型半導体領域3を形成するれば、工程は増えるが高耐圧ショットキーバリアダイオードを実現することができる。

## 【図面の簡単な説明】

## 【図1】

本発明の半導体装置を説明するための(A)平面図、(B)断面図、(C)断面図である。

## 【図2】

本発明の半導体装置を説明するための特性図である。

【図 3】

本発明の半導体装置の製造方法を説明するための断面図である。

【図 4】

本発明の半導体装置の製造方法を説明するための断面図である。

【図 5】

本発明の半導体装置の製造方法を説明するための断面図である。

【図 6】

本発明の半導体装置の製造方法を説明するための断面図である。

【図 7】

本発明の半導体装置の製造方法を説明するための断面図である。

【図 8】

従来の半導体装置を説明するための（A）平面図、（B）断面図である。

【図 9】

従来の半導体装置の製造方法を説明する断面図である。

【図 10】

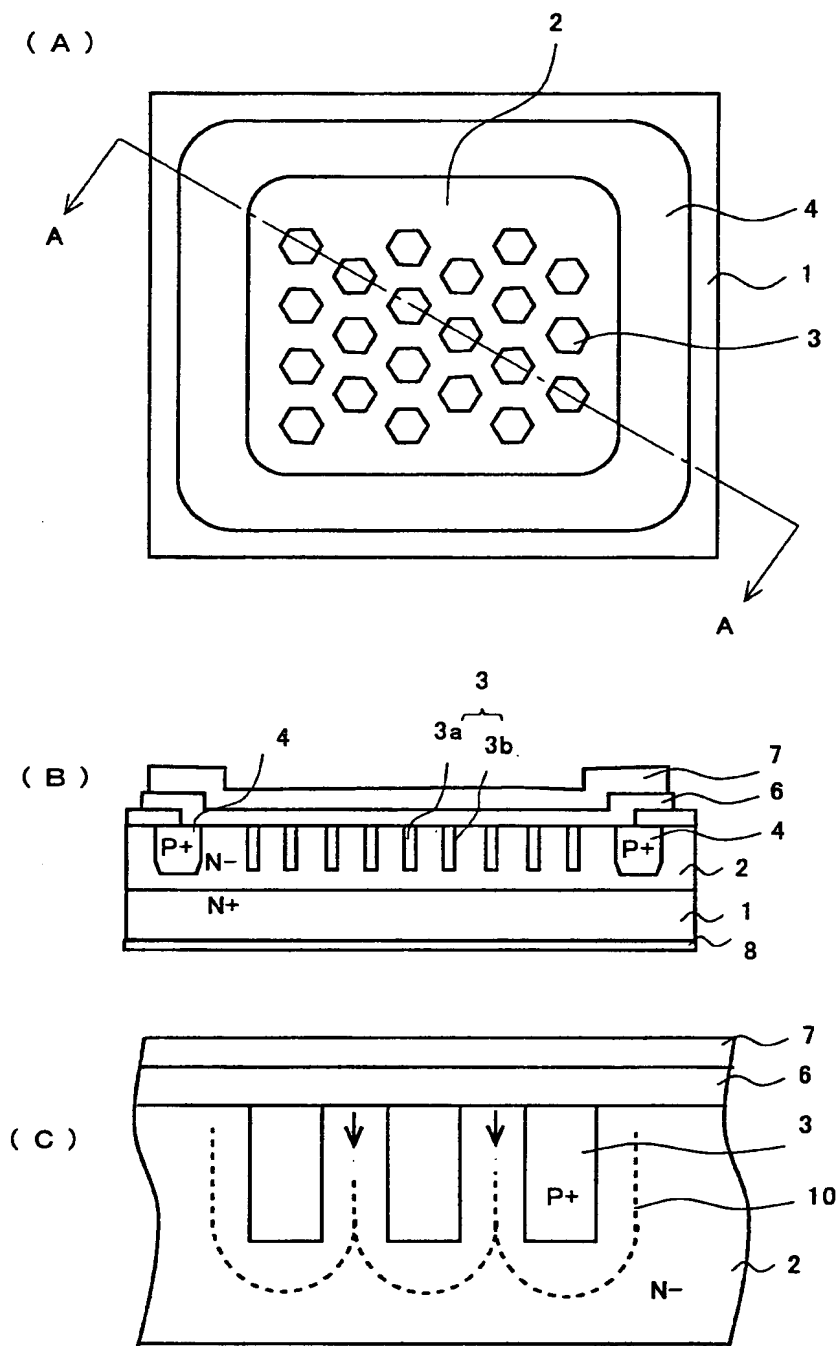
従来の半導体装置を説明するための特性図である。

【符号の説明】

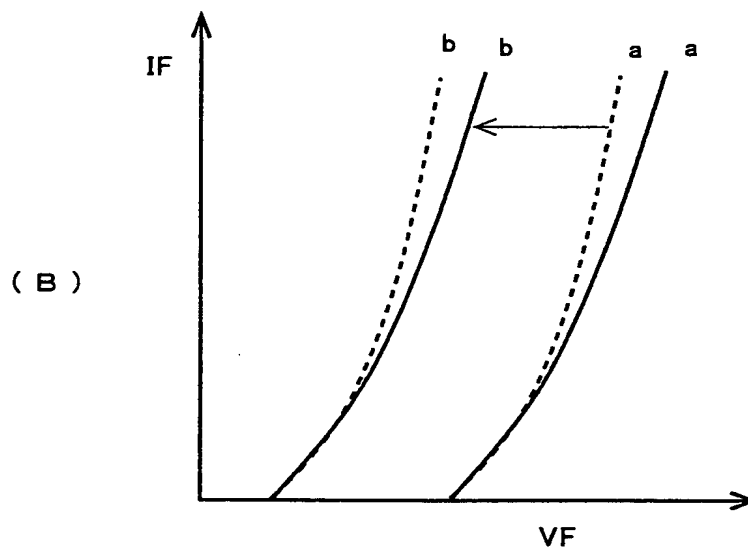
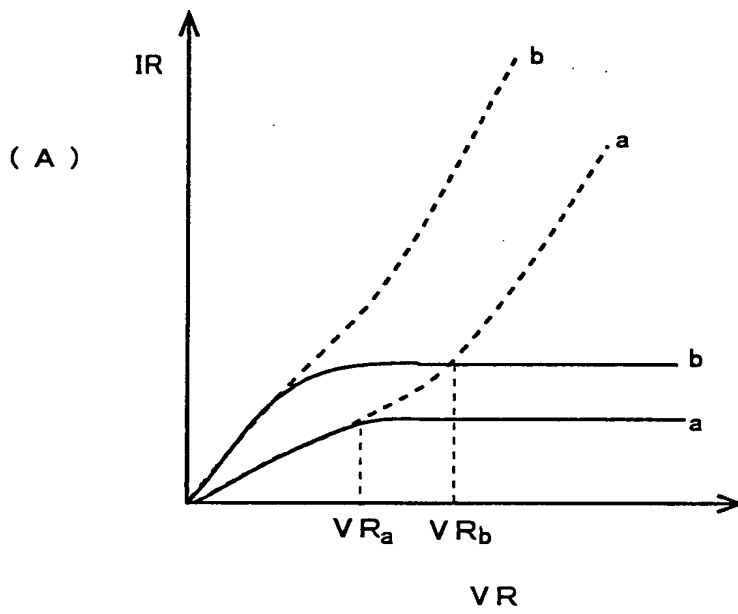
- 1 半導体基板
- 2 N-型エピタキシャル層
- 3 P+型半導体領域
- 3 a ポリシリコン
- 3 b トレンチ
- 4 高濃度不純物領域
- 5 酸化膜
- 6 ショットキー金属層
- 7 アノード電極
- 8 カソード電極
- 9 ショットキー接合領域
- 10 空乏層

【書類名】 図面

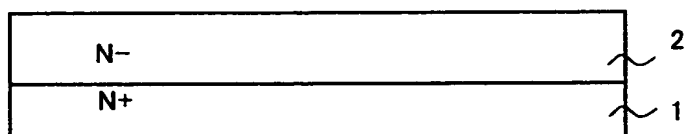
【図1】



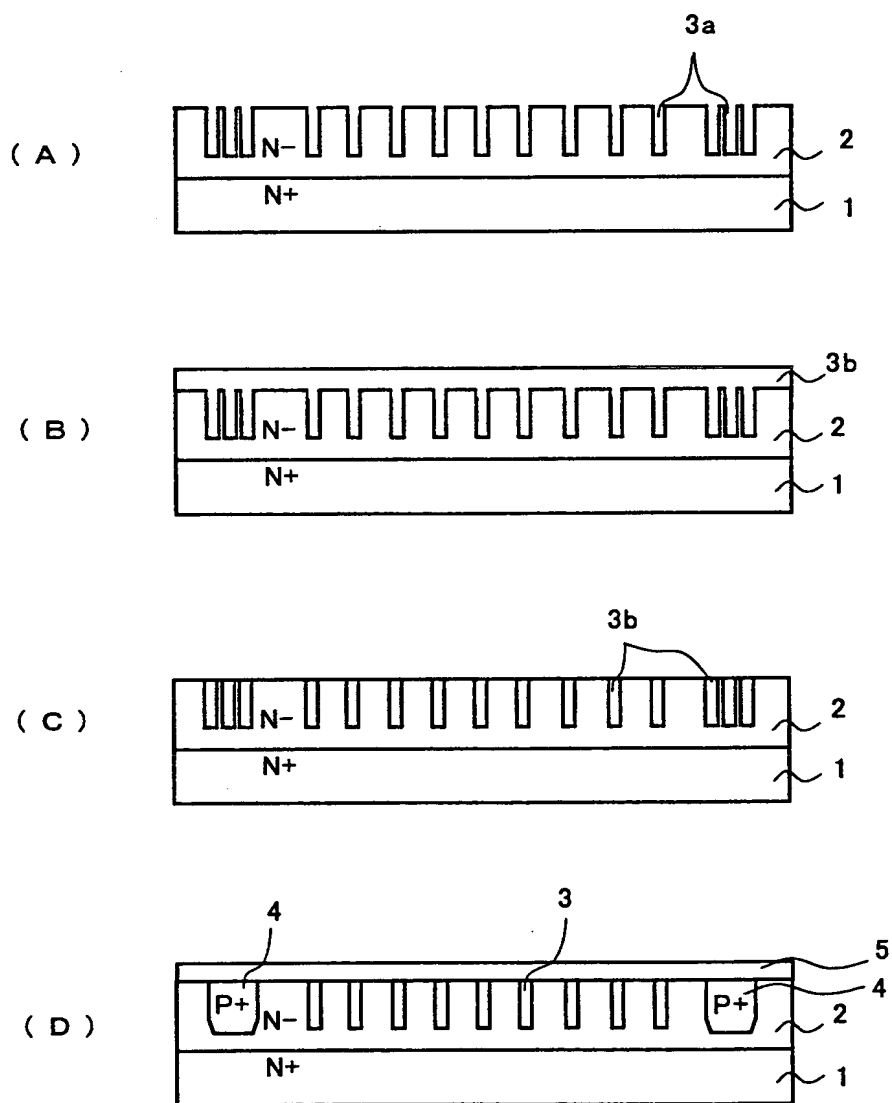
【図 2】



【図 3】

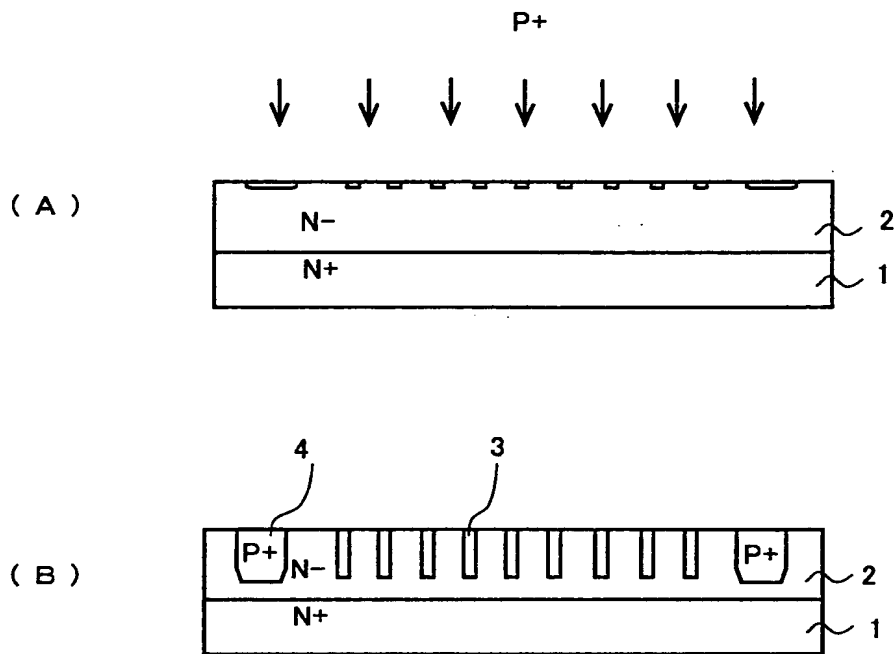


【図 4】

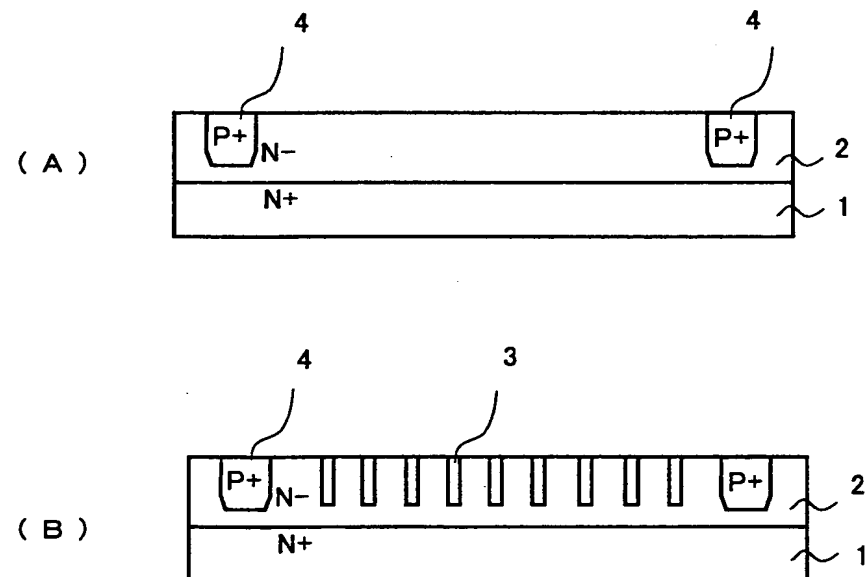




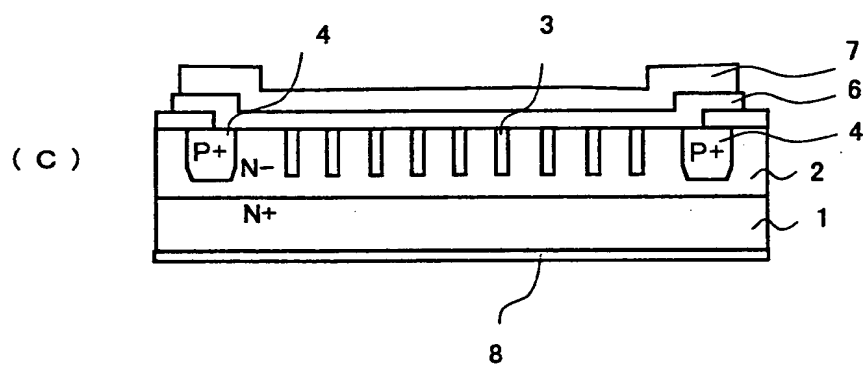
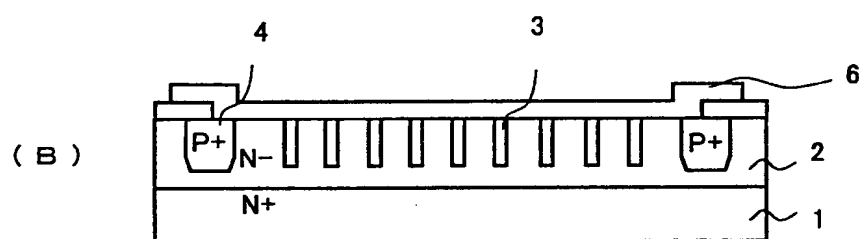
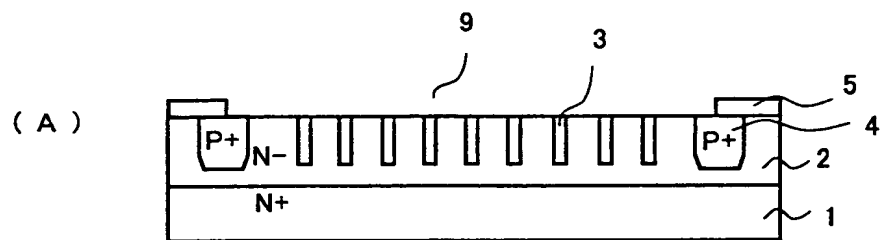
【図 5】



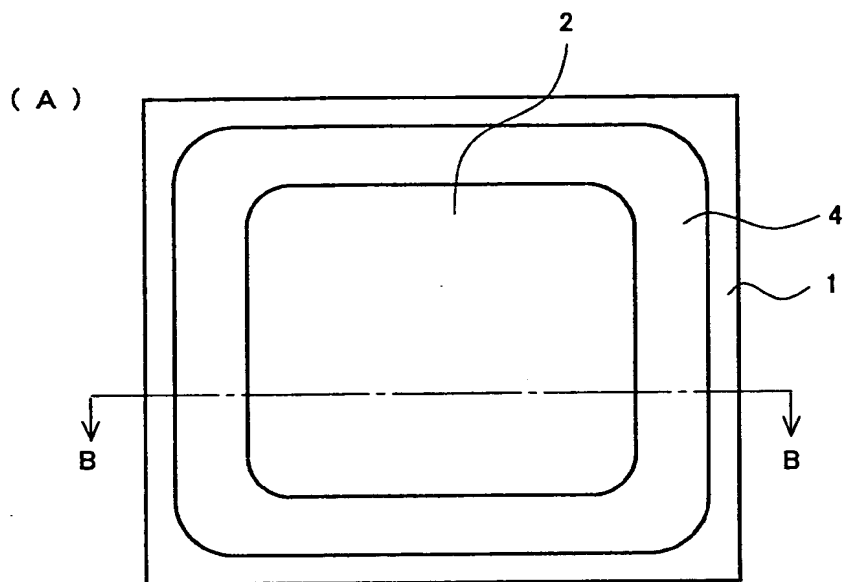
【図 6】



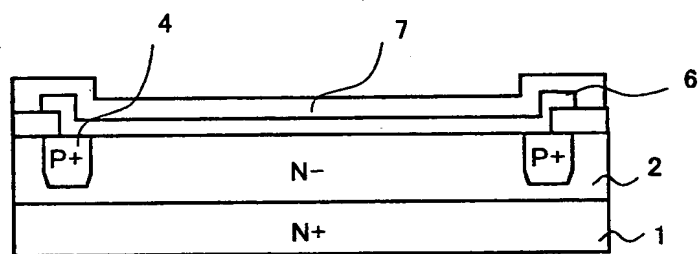
【図 7】



【図 8】

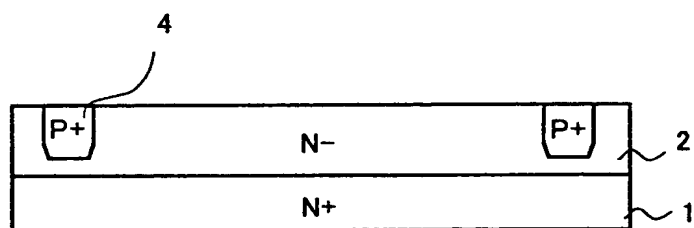


( B )

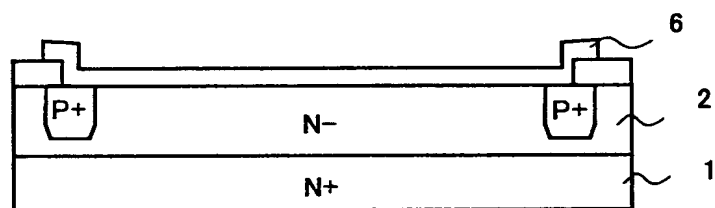


【図9】

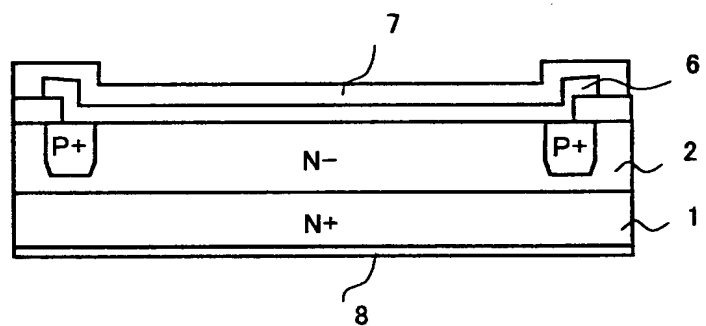
(A)



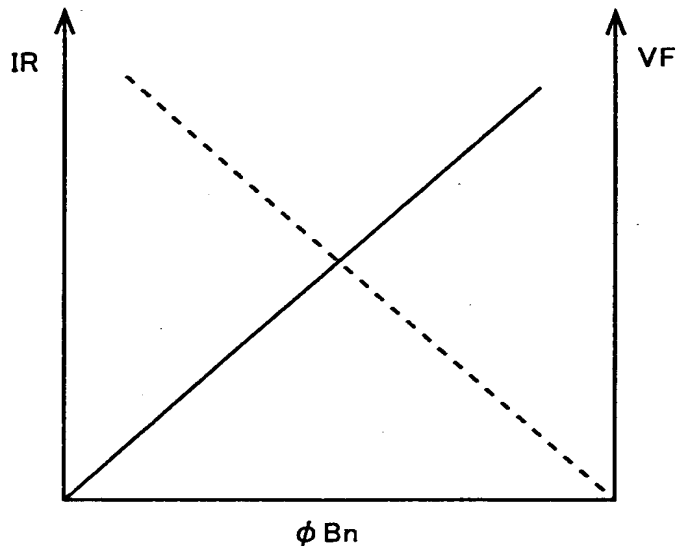
(B)



(C)



【図 1 0】



【書類名】 要約書

【要約】

【課題】 従来、ショットキーバリアダイオードのVF、IR特性はトレードオフの関係にあり、低VF化を実現するにはリーク電流の増大が避けられない問題があった。

【解決手段】 ショットキー接合領域に、正六角形状のP+型半導体領域を複数設ける。互いの離間距離が等しくなるので、逆方向電圧印加時にはP+型半導体領域から空乏層が広がり、エピタキシャル層を埋め尽くす。つまり、ショットキー接合界面で発生したリーク電流がカソード側に漏れるのを遮断できる。高いリーク電流が発生していても空乏層により遮断できるので、VFとIRのトレードオフの関係が結果的に無くなり、IRを考慮することなく低VFを実現できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社